

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107286

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H01L 29/78  
H01L 21/8234  
H01L 27/088

(21)Application number : 09-270436

(71)Applicant : SIEMENS AG

(22)Date of filing : 17.09.1997

(72)Inventor : WERNER WOLFGANG

(30)Priority

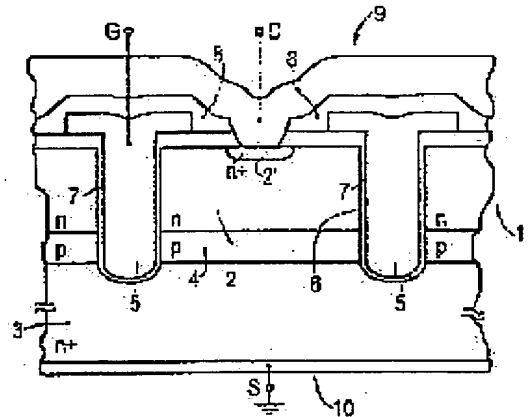
Priority number : 96 19638439 Priority date : 19.09.1996 Priority country : DE

## (54) VERTICAL SEMICONDUCTOR DEVICE CONTROLLABLE BY ELECTRIC FIELD EFFECT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the heat resistivity of a wafer so as to quickly discharge the heat of the wafer from the rear surface side of the wafer by providing a gate terminal and a drain terminal on the front surface side of the wafer and a source terminal on the rear surface side of the wafer.

SOLUTION: On the front surface side 9 of a wafer, trenches 6 are formed into a semiconductor substrate by etching. The trenches 6 are extended into a source area 3 from the upper surface of the wafer through a drain area 2 and a body area 4 and contain gate electrodes 5. The electrodes 5 are insulated from the substrate 1 by thin gate oxide films 7. On the surface side 9 of the wafer, in addition, contact areas 2' are electrically contacted through ordinary metallized layers, for example, aluminum layers. The whole bodies of drain metallized layers are short-circuited and connected to drains D. Because of the short-circuiting, the controllable power of an MOSFET can be raised. The gate electrodes 5 are respectively connected to gate terminals G.



## LEGAL STATUS

[Date of request for examination]

19.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107286

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78  
21/8234  
27/088

H 0 1 L 29/78 6 5 6 A  
27/08 1 0 2 A  
29/78 6 5 2 G  
6 5 3 A

審査請求 未請求 請求項の数14 F D (全 7 頁)

(21) 出願番号 特願平9-270436

(22) 出願日 平成9年(1997) 9月17日

(31) 優先権主張番号 1 9 6 3 8 4 3 9 . 7

(32) 優先日 1996年9月19日

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト  
SIEMENS AKTIENGESSEL  
LSCHAFT

ドイツ連邦共和国 ベルリン 及び ミュン  
ヘン (番地なし)

(72) 発明者 ウォルフガング ウエルナー

ドイツ連邦共和国 81545 ミュンヘン  
ゼペナーシュトラッセ 256

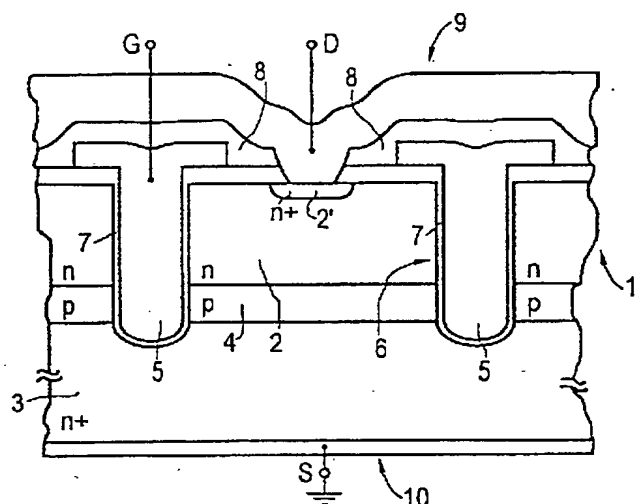
(74) 代理人 弁理士 富村 潔

(54) 【発明の名称】 電界効果によって制御可能な縦形半導体デバイス及びその製造方法

(57) 【要約】

【課題】 従来の半導体デバイスの欠点を持たない電界効果によって制御可能な縦形半導体デバイスを提供する。

【解決手段】 第1の導電形の少なくとも1つのドレイン領域2と、第1の導電形の少なくとも1つのソース領域(3)と、ドレイン領域2とソース領域3との間に位置する第2の導電形の少なくとも1つのボディ領域4と、半導体基体1全体に対してゲート酸化物7によって絶縁された少なくとも1つのゲート電極5とを備えた半導体基体1から構成され、その場合ゲート端子G及びドレイン端子Dはウエハの表面側9に設けられ、ソース端子Sはウエハの裏面側10に設けられる。



**【特許請求の範囲】**

【請求項1】 第1の導電形の少なくとも1つのドレイン領域(2)と、第1の導電形の少なくとも1つのソース領域(3)と、ドレイン領域(2)とソース領域(3)との間に位置する第2の導電形の少なくとも1つのボディ領域(4)と、半導体基体(1)全体に対してゲート酸化物(7)によって絶縁された少なくとも1つのゲート電極(5)とを備える半導体基体(1)から構成された電界効果によって制御可能な縦形半導体デバイスにおいて、ゲート端子(G)及びドレイン端子(D)はウエハの表面側(9)にあり、ソース端子(S)はウエハの裏面側(10)にあることを特徴とする縦形半導体デバイス。

【請求項2】 ゲート電極(5)及びゲート酸化物(7)を含み、ウエハの表面側(9)からソース領域(3)内まで延びているトレンチ(6)が設けられていることを特徴とする請求項1記載の縦形半導体デバイス。

【請求項3】 ゲート電極(5)の材料はポリシリコンであることを特徴とする請求項1又は2記載の縦形半導体デバイス。

【請求項4】 ボディ領域(4)及びソース領域(3)の各範囲におけるゲート酸化物(7)はドレイン領域(2)の範囲におけるゲート酸化物(7)より著しく薄いことを特徴とする請求項1乃至3の1つに記載の縦形半導体デバイス。

【請求項5】 ゲート酸化物(7)は熱的シリコン二酸化物であることを特徴とする請求項1乃至4の1つに記載の縦形半導体デバイス。

【請求項6】 ドレイン領域(2)内に高いドーピング濃度を持つ同じ導電形の接触領域(2')が埋込まれていることを特徴とする請求項1乃至5の1つに記載の縦形半導体デバイス。

【請求項7】 接触領域(2')はイオン注入されていることを特徴とする請求項6記載の縦形半導体デバイス。

【請求項8】 ラッチ効果を回避するために、ボディ領域(4)は低抵抗でソース領域(3)に接続されていることを特徴とする請求項1乃至7の1つに記載の縦形半導体デバイス。

【請求項9】 ボディ領域(4)は非常に高いドーピング濃度を持つ同じ導電形の第1の接続領域(11)を介してウエハの表面側(9)の上面に接続され、第1の接続領域(11)はウエハの上面でボンディング接触ワイヤを介してソース端子(S)に短絡されていることを特徴とする請求項8記載の縦形半導体デバイス。

【請求項10】 ボディ領域(4)及びソース領域(3)は非常に高いドーピング濃度を持つ同じ導電形の第1のもしくは第2の接続領域(11、12)を介してそれぞれウエハの表面側(9)の上面に接続され、両接

続領域(11、12)はウエハの上面で接続金属化層(13)を介して短絡されていることを特徴とする請求項1乃至8の1つに記載の縦形半導体デバイス。

【請求項11】 ボディ領域(4)及びソース領域(3)は導電材料を充填された別のトレンチ(14)によって短絡されていることを特徴とする請求項8記載の縦形半導体デバイス。

【請求項12】 公知の同種の電界効果によって制御可能な縦形半導体デバイスと組み合わせることによって、ローサイドスイッチ及びハイサイドスイッチから構成されたモノリシックに集積可能なハーフブリッジを実現することを特徴とする請求項1乃至11の1つに記載の縦形半導体デバイス。

【請求項13】 同時にソース領域(3)を形成する半導体基体(1)内へボディ領域(4)を形成するためにホウ素又はアルミニウムを注入し、引き続いて適当な熱処理を行う工程と、ボディ領域(4)にnドーパされたドレイン領域(2)をエピタキシャル成長させる工程と、イオン注入によって上面近辺のドレイン領域(2)内に接触領域(2')を作る工程と、引き続いてトレンチエッチングのためのマスクとして使われる厚い酸化物を設けて構造化する工程と、ウエハの表面側(9)からトレンチ(6)をソース領域(3)内まで異方性エッチングする工程と、トレンチ(6)の壁にゲート酸化物として熱的シリコン二酸化物を成長させる工程と、トレンチ(6)にn<sup>+</sup>ドーパされたポリシリコンを充填させその後過剰なポリシリコンをエッチング除去する工程と、フィールド酸化物(8)をウエハの表面側に析出させドレイン領域(2)の接触領域(2')のところの過剰なフィールド酸化物(8)をエッチング除去する工程と、接触領域(2')にアルミニウムを結合する工程と、ウエハの裏面側(10)を大面積にてアルミニウムで金属化する工程とが実行されることを特徴とする請求項1乃至12の1つに記載された縦形半導体デバイスの製造方法。

【請求項14】 フィールド酸化物(8)としてBPSGが使用されることを特徴とする請求項13記載の縦形半導体デバイスの製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、第1の導電形の少なくとも1つのドレイン領域と、第1の導電形の少なくとも1つのソース領域と、ドレイン領域とソース領域とを互いに分離する第2の導電形の少なくとも1つのボディ領域と、半導体基体全体に対してゲート酸化物によって絶縁された少なくとも1つのゲート電極とを備える半導体基体から構成された電界効果によって制御可能な縦形半導体デバイス及びその製造方法に関する。

**【0002】**

【従来の技術】この種の電界効果によって制御可能な半

導体デバイスは例えばMOS形電界効果トランジスタ(MOSFET)である。MOSFETはずっと以前から知られており、例えばシーメンスデータブック1993/94年版の「SIPMOS半導体、パワートランジスタ及びダイオード」(第29頁以降)に記載されている。このデータブックの第30頁の図4にはこの種のパワートランジスタの原理構成が示されている。そこに示されたトランジスタは縦形nチャネルSIPMOSトランジスタである。この種のトランジスタにおいてn<sup>+</sup>基板は下にドレイン金属化層を備えた担持体として使われる。n<sup>+</sup>基板上には、カットオフ電圧に応じて種々異なった厚みにされかつ相応してドーパされたn<sup>-</sup>エピタキシャル層が施される。その上に位置しn<sup>+</sup>ポリシリコンから成るゲートは絶縁性シリコン二酸化物内へ埋込まれ、pウェル及びn<sup>+</sup>ソース領域のための注入マスクとして使われる。ソース金属化層は全構造体を覆い、チップの個々のトランジスタセルを並列接続する。この縦方向に構成されたパワートランジスタのその他の詳細は上記データブックの第30頁以降に記載されている。

【0003】この種の装置の欠点はドレイン-ソース負荷区間の順方向抵抗 $R_{on}$ が半導体デバイスの絶縁耐力の増大と共に増大する点である。というのは、エピタキシャル層の厚みが増加しなければならないからである。50Vでは面積に関連した順方向抵抗 $R_{on}$ は約0.20Ωmm<sup>2</sup>であり、1000Vのカットオフ電圧では例えば約10Ωmm<sup>2</sup>の値へ増大する。

【0004】一般的に横形MOSFETと縦形MOSFETは異なっている。横形MOSFETに対して、縦形MOSFETはほぼ垂直な電流の流れ方向を有している。このことは電流がウエハの表面側からウエハの裏面側へ流れることを意味している。この種の縦形MOSFETの場合、ソース端子及びゲート端子はウエハ表面側にあり、一方ドレイン端子はウエハ裏面側を介して電気的に接続される。

【0005】縦形MOSFETは、横形MOSFETに比べて、省スペース的に半導体チップ上に集積することができ、それによりデバイスをコスト的に有利に製造することができるという利点を有する。さらに、縦形トランジスタは横形構造に比べて同じプロセス技術上の境界条件もしくは同じセル構想の場合オン抵抗 $R_{on}$ が約50%低くなる。このことは同じオン抵抗の場合チップ面積を縦形トランジスタでは約半分の大きさにすることができることを意味する。インテリジェント縦形トランジスタのためのウエハコストは例えばアップドレイン形トランジスタのような対応する横形トランジスタのウエハコストの約80%である。

【0006】縦形トランジスタのために今日使用されているプロセスによればマルチチャネル形ハイサイド(High-Side)スイッチを実現することができる。このハイサイドスイッチの場合、ドレイン端子はチップ

の裏面側にある。モノリシックに集積されたマルチチャネル形ローサイド(Low-Side)スイッチを実現することは今日では横形構造又はアップドレイン構造を用いなければ可能ではない。

【0007】

【発明が解決しようとする課題】本発明の課題は、このような欠点を持たない電界効果によって制御可能な縦形半導体デバイスとその製造方法を提供することにある。

【0008】

【課題を解決するための手段】この課題は本発明によれば、電界効果によって制御可能な縦形半導体デバイスに関しては、ゲート端子及びドレイン端子がウエハの表面側にあり、ソース端子がウエハの裏面側にあるようにすることによって解決される。

【0009】上記の課題は、本発明によれば、電界効果によって制御可能な縦形半導体デバイスの製造方法に関しては、同時にソース領域を形成する半導体基体内へボディ領域を形成するためにホウ素又はアルミニウムを注入し、引き続いて適当な熱処理を行う工程と、ボディ領域内にnドーパされたドレイン領域をエピタキシャル成長させる工程と、イオン注入によって上面近辺のドレイン領域内に接触領域を作る工程と、引き続いてトレンチエッチングのためのマスクとして使われる厚い酸化物を設けて構造化する工程と、ウエハの表面側からトレンチをソース領域内まで異方性エッチングする工程と、トレンチの壁にゲート酸化物として熱的シリコン二酸化物を成長させる工程と、トレンチにn<sup>+</sup>ドーパされたポリシリコンを充填させその後過剰なポリシリコンをエッチング除去する工程と、フィールド酸化物をウエハ表面側に析出させドレイン領域の接触領域のところの過剰なフィールド酸化物をエッチング除去する工程と、接触領域にアルミニウムを結合する工程と、ウエハの裏面側を大面積にてアルミニウムで金属化する工程とが実行されることによって解決される。

【0010】本発明によれば、特に、ウエハの裏面側のソース接触を絶縁層を介することなく装置ケースに直接固定することができるという利点が奏される。それによって熱抵抗率が小さくなり、このことによりウエハの裏面側を介する熱排出が改善される。

【0011】請求項2による実施態様では、トレンチが設けられ、このトレンチ内にゲート電極及びゲート酸化物が配置される。垂直トレンチ内にゲート電極を配置することは一方では縦形MOSFETのより一層の省スペースを可能にする。他方ではオン抵抗 $R_{on}$ が低くかつ降伏電圧が高いMOSFETを有利に実現することができる。

【0012】ゲート電極もしくはゲート酸化物の構成は請求項3乃至5に記載されている。ゲート電極の材料としてドーパされたポリシリコンを使用すると好ましい。というのは、ポリシリコンはプロセス技術的に簡単に取

扱うことができ、しかも良導電率を有するからである。ゲート酸化物が熱的に製造されたシリコン二酸化物からなると有利である。というのは、熱的に製造されたシリコン二酸化物は定性的に価値が高く、しかもプロセス技術的に簡単に取扱うことができるからである。ドレインドリフト領域の範囲におけるゲート酸化物はボディ領域及びソース領域の各範囲におけるゲート酸化物より著しく厚い。これによって、本発明によるMOSFETの阻止特性が付加的に改善される。

【0013】請求項6及び7による実施態様では、ドレイン領域内に埋込まれイオン注入された接触領域が設けられる。この接触領域は非常に高いドーピング濃度を有している。これによって、接触領域とドレイン端子との間のオーミック接触が保証される。イオン注入によって精密なドーピング量を有利に求めることができ、従って接触領域に規定のドーピング濃度を生じさせることができる。

【0014】請求項8による実施態様では、ラッチ効果を回避するために、ボディ領域は低抵抗でソース領域に接続される。この低抵抗のボディーソース接続の構成は請求項9乃至11に記載されている。

【0015】請求項12による実施態様では、本発明によるローサイドMOSFETと公知の種類のハイサイドMOSFETとから、モノリシックに集積されたハーフブリッジを実現することができる。

【0016】請求項14による実施態様では、フィールド酸化物としてBPSG（ホウ素リンケイ酸ガラス）が使用される。

【0017】

【実施例】次に、本発明を図面に示された実施例に基づいて詳細に説明する。なお、図面において同一の要素には同一の符号が付されている。

【0018】図1は本発明による縦形MOSFETの優れた実施例を示す。半導体基体（例えばシリコンウエハ）1は $n^+$ ドーピングされている。半導体基体1のこの $n^+$ ドーピングされた領域は同時にMOSFETのソース領域3を形成している。ウエハの裏面側10ではこのソース領域3が大面積にて通常の金属化層を介して接触化される。この金属化層はソース端子Sを形成している。ウエハの表面側9ではソース領域3上に注入と半導体基体1からの引き続いたドーピング原子の拡散（DMOS原理）とによって薄くpドーピングされた層が、またエピタキシャル析出によってnドーピングされた層が順次に設けられている。以下ではpドーピングされた層はボディ領域4と称し、nドーピングされた層はドレイン領域2と称する。このnドーピングされたドレイン領域2はウエハ上面に埋込まれた $n^+$ ドーピングされた領域を有している。この領域は以下では接触領域2'と称する。この接触領域2'は半導体と金属化層とのオーミック接触を保証するために非常に高いドーピング濃度を有している。接触領域2'は通常

半導体基体1内へのイオン注入によって設けられる。これによって半導体内へ正確なドーピング量をもたらし、それゆえ接触領域2'内に所望のドーピング濃度を設定することができる。

【0019】ウエハの表面側9ではトレンチ6が半導体基体1内へエッチングされている。このトレンチ6はウエハ上面からドレイン領域2及びボディ領域4を越えてソース領域3内まで延びている。トレンチ6の断面は円形、矩形又は条带状、即ち任意の形状を取り得る。このトレンチ6はゲート電極5を含んでいる。このゲート電極5は薄いゲート酸化物7によって半導体基体1から絶縁されている。このゲート酸化物7として熱成長したシリコン二酸化物が使用されると好ましい。

【0020】トレンチ6の形状は勿論要求に応じて種々異なった形状に形成することができる。トレンチ6の頂点または先端部をU字状に形成することも非常に有利である。トレンチ6をV字状に実現することもできる。

【0021】ウエハの表面側9では接触領域2'が通常の金属化層、例えばアルミニウムを介して電氣的に接触化される。ドレイン金属化層の全体は短絡され、ドレイン端子Dに接続されている。この短絡によって、MOSFETの制御可能な電力を高めることができる。ゲート電極5として簡単なプロセス技術的な取扱性及び良導電率に基づいて $n^+$ ドーピングされたポリシリコンを使用すると好ましい。又はこのゲート電極5の材料として同様に金属ケイ化物を使用することもできる。ゲート電極5はゲート端子Gに接続されている。ドレイン金属化層はフィールド酸化物8によってゲート電極5ならびに半導体基体1のその他の上面に対して絶縁されている。フィールド酸化物8として平坦化性及びゲッターリング性に基づいてホウ素リンケイ酸ガラス（BPSG）を使用すると好ましい。

【0022】図2は図1に示された縦形MOSFETとはゲート酸化物とドレイン領域における接触領域との形状が異なっている図1に対応した本発明による縦形MOSFETを示す。図1と同一の要素には同一の符号が付されている。

【0023】接触領域2'は半導体上面内へ構造化されて設けられているのではなく、トレンチ6に直接接している。このことによって一方ではトレンチの相互間隔を明らかに小さくすることができ、従って単位面積当たりのチャネル幅を大きくすることができる。しかしながら、このことによって他方ではドレイン領域2には相応した厚みのゲート酸化物7を必要とする。図2から、ソース領域3及びボディ領域4の各範囲におけるゲート酸化物7はドレイン領域2の範囲におけるゲート酸化物7より薄く形成されていることがはっきり分かる。

【0024】トレンチ6内に異なった酸化物の厚みを形成することは次のようにして行うことができる。半導体基体1がシリコン酸化物を用いて構造化され、トレンチ

6が異方性エッチングされる。シリコン二酸化物がトレンチ内へ析出され、その場合トレンチの底部におけるシリコン二酸化物は異方性エッチバックされる。その後でトレンチ6は最終深さに至るまで異方性エッチングされる。薄いシリコン二酸化物のゲート酸化物7が熱酸化化によって施される。

【0025】次に、図1及び図2に示された本発明による装置の機能を詳細に説明する。

【0026】図1又は図2の実施例において正電圧がゲート電極5に印加されると、pドープされたボディ領域4ではゲート電極5の直ぐ近くにnチャンネルが形成される。このチャンネルは印加されたゲート電圧に応じて程度の差こそあれn形となる。ドレイン端子が正電位を印加されると、電流がソース領域3からその形成されたnチャンネルを介してドレイン領域2へ流れる。ボディ領域4の厚みはの場合MOSFETのチャンネル幅の尺度になる。ドレイン領域2の厚みはパワーMOSFETのドリフト区間にほぼ一致し、従って絶縁耐力の尺度になる。ボディ領域4の拡がり及びドーピング濃度は、例えばエピタキシー又は拡散の際に適当なプロセスパラメータを選択することによって、MOSFETの閾値電圧及びチャンネル長さを精密に設定可能であるように形成することができる。その際、ウエハの裏面側10への低抵抗結合を保証するために、主として半導体基体1から形成されたソース領域3が十分高くドープされることが重要である。

【0027】チップ面積の節約による上述のコスト的な利点の他に、本発明による半導体デバイスはさらに次の長所を有している。nドリフト区間（ドレイン領域2）は、従来の縦形ハイサイドトレンチMOSFETとは異なり、阻止の場合さらにpボディ領域4の他に側方のゲート電極5からも空にされる。このことは、ドレイン領域2におけるドリフト区間を高くドープすることができ、これによってオン抵抗 $R_{ON}$ を減少させることができることを意味する。

【0028】さらに、ゲート電極5とソース領域3との間には、すなわちトレンチ6の底部におけるゲート酸化物の品質に関して危険な範囲にはゲート電圧のみが降下するという利点がある。BCDプロセスの際に誘導性負荷を駆動すると現れ約4アンペア以上の際には回路を故障させ得る横方向電流は、本発明によるデバイスにおいては現れない。というのはこの横方向電流の場合、少数電荷キャリアが基板内へ注入されないからである。

【0029】ラッチ効果を回避するために、ボディ領域4は低抵抗でソース領域3に接続されなければならない。図3のA及びBはこの低抵抗接続を実現するための2つの例を示す。

【0030】図3Aに示された構造において、ボディ領域4は $p^+$ ドープされた第1の接続領域11を介してウエハの表面側9の上面に接続されている。ソース領域3

は $n^+$ ドープされた第2の接続領域12を介して同様に上面に接続されている。これらの $p^+$ 及び $n^+$ ドープされた接続領域11、12はオーバーラップした接続金属化層13を介して相互に短絡されている。

【0031】他の例（図示されていない）は、第1の接続領域11をボンディング接触ワイヤを介してウエハの裏面側10のソース端子Sに短絡することである。

【0032】別の例が図3のBに示されている。ボディ領域4とソース領域3との間に別のトレンチ14が設けられ、このトレンチ14に導電材料、例えばケイ化物が充填されている。この別のトレンチ14はボディ領域4とソース領域3との直接短絡を形成している。この例では前述の例に対して付加的なスペースが必要とされないため有利である。

【0033】図4は図1に対応する本発明による半導体デバイスの適用例を示す。図1と同一の要素には同一の符号が付されている。

【0034】上述の種類のローサイドMOSFETを公知の種類のハイサイドMOSFETと組み合わせることによって、モノリシックに集積されたハーフブリッジを実現することができる。このようなブリッジ回路は一般的に特に自動車用の電子回路において高電力入力を持つ電動機に適用される。図4は2つのノーマリオフ形nチャンネルMOSFET-T1、T2から構成されたこのようなハーフブリッジの部分断面図及びその回路を示す。以下において、表示は対応するトランジスタT1、T2に関連があることを示している。

【0035】図4の左側部分は図1に対応する本発明による縦形MOSFET-T2を示す。図4の部分断面図の右側部分は公知の種類の縦形MOSFET-T1を示す。MOSFET-T2の $n^+$ ドープされたソース領域3は同様にMOSFET-T1のドレイン領域19を形成している。このドレイン領域19にはnドープされた領域が接続されている。この領域は以下においてはドリフト領域15と称され、MOSFET-T1のドレイン領域のドリフト区間を形成する。このドリフト領域15内にはpドープされた領域が埋込まれている。この領域はMOSFET-T1のチャンネル領域16を形成している。このチャンネル領域16内には $n^+$ ドープされた領域が埋込まれている。この $n^+$ ドープされた領域はMOSFET-T1のソース領域17を形成している。チャンネル領域16及び／又はソース領域17はイオン注入によって半導体内へもたらされるのが好ましい。ソース領域17は金属化層を介してソース端子 $S_{T1}$ に接続されている。さらに、MOSFET-T1のためにゲート電極18が設けられ、このゲート電極18はゲート端子 $G_{T1}$ に接続されている。ゲート電極18はフィールド酸化物8によってソース金属化層から絶縁されている。ゲート電極18はウエハの上面9においてチャンネル領域16がその上面に接する範囲にある。さらに、ゲート電極18は

一部分がソース領域17及びドリフト領域15上の範囲に達している。ゲート電極18は薄いゲート酸化物によってドリフト領域15、チャネル領域16及びソース領域17からそれぞれ絶縁されている。

【0036】両MOSFET-T1、T2は図4に示されているようにモノリシックに集積されたハーフブリッジを形成し、その回路図が同様に図4に示されている。

【0037】両トランジスタT1、T2のゲート駆動部は短絡することができるが、しかしながら絶対に短絡しなければならないということはない。この例ではゲート端子 $G_{T1}$ 、 $G_{T2}$ は別々に駆動される。第1のトランジスタT1のソース端子 $S_{T1}$ はアース電位に接続されている。第1のトランジスタのドレイン端子 $D_{T1}$ は第2のトランジスタT2のソース端子 $S_{T2}$ に一致している。第2のトランジスタT2のドレイン端子 $D_{T2}$ は供給電圧 $V_{bb}$ に接続されている。

【0038】本発明による装置の他の応用例では、 $n$ ドープされたエピタキシャル領域に公知の方法で $p$ ウェル技術によるCMOSトランジスタ（図示されていない）が実現される。裏面側のアース端子及びウエハ表面側への低抵抗接続によって、デバイスへの反作用が少なくなる。相応するプロセスにおいて縦形ハイサイドトランジスタのために必要であるガードリングのような補助手段はこの場合もはや必要とされない。このことにより、実装密度が著しく高められ、従ってコスト的にかなりの利点が得られる。このようなテクノロジーによって製造されたデバイスはウエハ裏面側を介する冷却が改善されるので有利である。 $npn$ 又は $pnp$ バイポーラトランジスタをこの簡単な方法で実現することもできる。

【0039】次に、図1に示された本発明による縦形半導体デバイスの好ましい製造方法を説明する。

【0040】本発明による縦形MOSFETを実現するための出発材料は $n^+$ ドープされたシリコン基板である。このシリコン基板内へボディ領域4を形成するためにホウ素の注入が行われ、その後適当なアニールプロセスが行われる。引き続いてボディ領域4に $n$ ドープされたドレイン領域2がエピタキシャル成長させられる。適当な注入パラメータを選択することによって、ボディ領域4をMOSトランジスタのチャネル領域として設定することができるようにボディ領域の範囲もしくはドーピングを形成することが可能である。このことは閾値電圧もしくはチャネル長さをイオン注入時のプロセスパラメータによつて的確に設定することができることを意味する。引き続いて接触領域2'が上面近辺のドレイン領域2にイオン注入によって設けられる。引き続き行われるトレンチエッチングのためのマスクとして使われる厚い酸化物が構造化される。公知のプロセスによって、引き続いてトレンチ6がウエハの表面側9からソース領域3内までエッチングされる。ゲート酸化が実行され、引き続いてトレンチ6が $n^+$ ドープされたポリシリコンを充

填される。このポリシリコンが構造化され、過剰なポリシリコンがエッチング除去される。BPSGがウエハの表面側に析出されて構造化され、ドレイン領域2の接触領域2'のところの過剰BPSGがエッチング除去される。ウエハの表面側9のドレイン領域2はアルミニウムを結合される。ウエハの裏面側10は大面积にてアルミニウムで金属化される。ボディ領域4とソース領域との間の短絡はすでに述べた方法で実現される。

#### 【図面の簡単な説明】

【図1】ウエハの裏面側にソース端子を備えた本発明による縦形MOSFETを示す部分断面図。

【図2】ゲート酸化物とドレイン領域における接触領域との形状が図1とは異なっている図1に対応した本発明による縦形MOSFETを示す部分断面図。

【図3】ラッチ効果を回避するための低抵抗のボディーソース接続を示し、Aはその第1の例を示す要部断面図、Bはその第2の例を示す要部断面図。

【図4】本発明によるローサイドMOSFETと公知の種類のハイサイドMOSFETとを組み合わせることによってモノリシックに集積されたハーフブリッジを実現する例を示す断面図及び等価回路図。

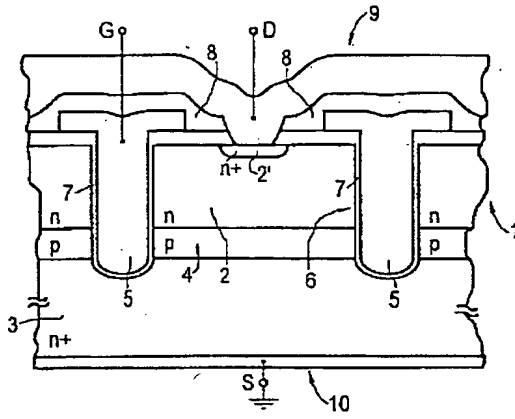
#### 【符号の説明】

- 1 半導体基体
- 2 ドレイン領域
- 2' ドレイン領域の接触領域
- 3 ソース領域
- 4 ボディ領域
- 5 ゲート電極
- 6 トレンチ
- 7 ゲート酸化物
- 8 フィールド酸化物
- 9 ウエハの表面側
- 10 ウエハの裏面側
- 11 ボディ領域のための第1の接続領域
- 12 ソース領域のための第2の接続領域
- 13 接続金属化層
- 14 トレンチ
- 15 トランジスタT1のドリフト領域
- 16 トランジスタT1のチャネル領域
- 17 トランジスタT1のソース領域
- 18 トランジスタT1のゲート電極
- 19 トランジスタT1のドレイン領域
- G ゲート端子
- D ドレイン端子
- S ソース端子
- T1、T2 モノリシックハーフブリッジのトランジスタ
- $G_{T1}$ 、 $G_{T2}$  トランジスタT1、T2のゲート端子
- $S_{T1}$ 、 $S_{T2}$  トランジスタT1、T2のソース端子
- $D_{T1}$ 、 $D_{T2}$  トランジスタT1、T2のドレイン端子

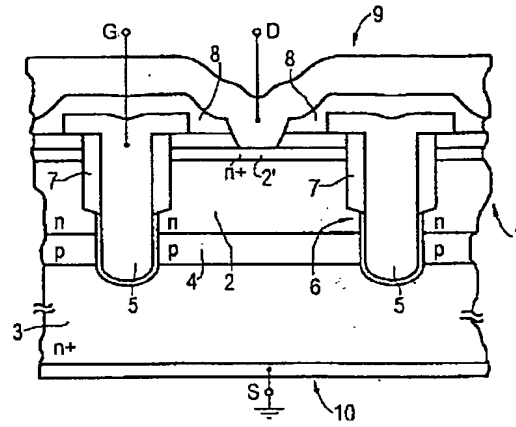


$V_{bb}$  供給電圧

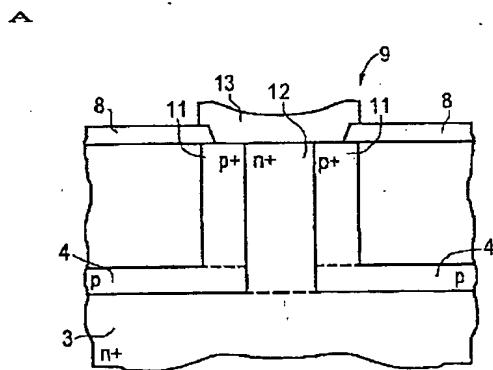
【図1】



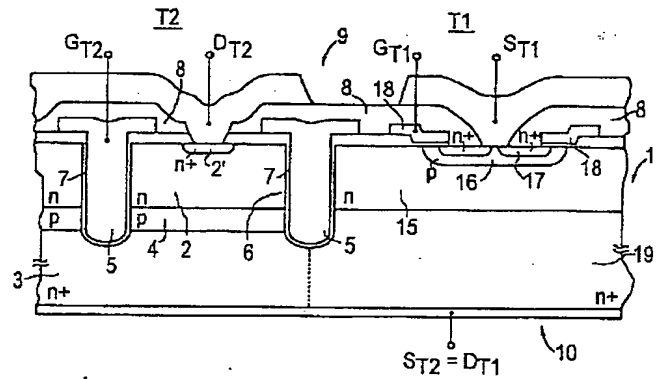
【図2】



【図3】



【図4】



B

